

積層型CMOSイメージセンサの開発

講演番号: 16p-A24-4

氏名: 梅林 拓

所属: ソニーセミコンダクタソリューションズ

CMOSイメージセンサの進化

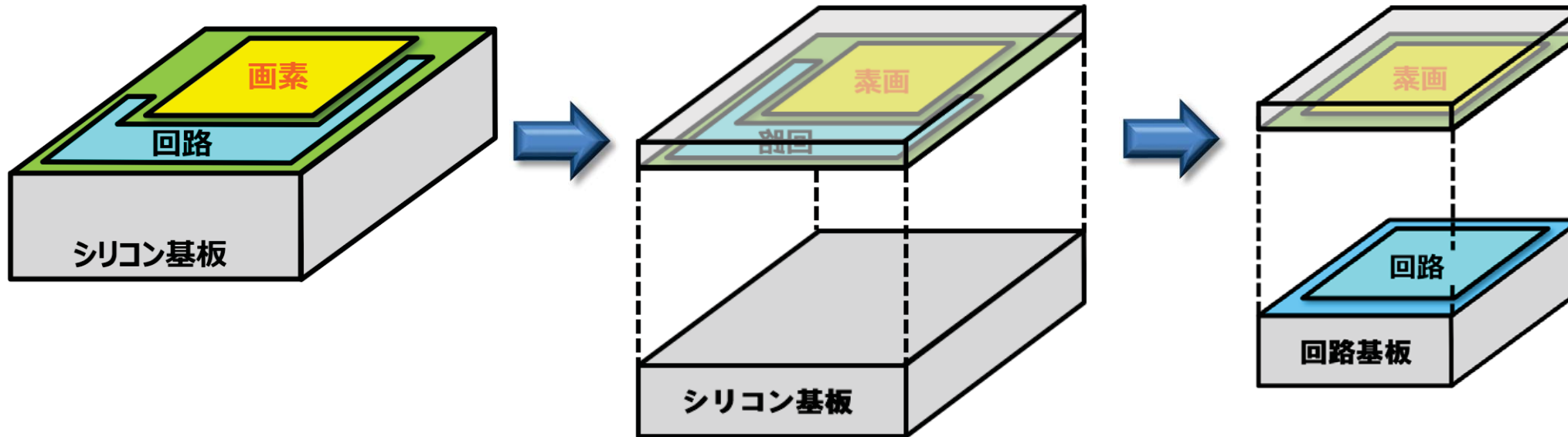
表面型



裏面型



積層型



表面型から積層型への進化

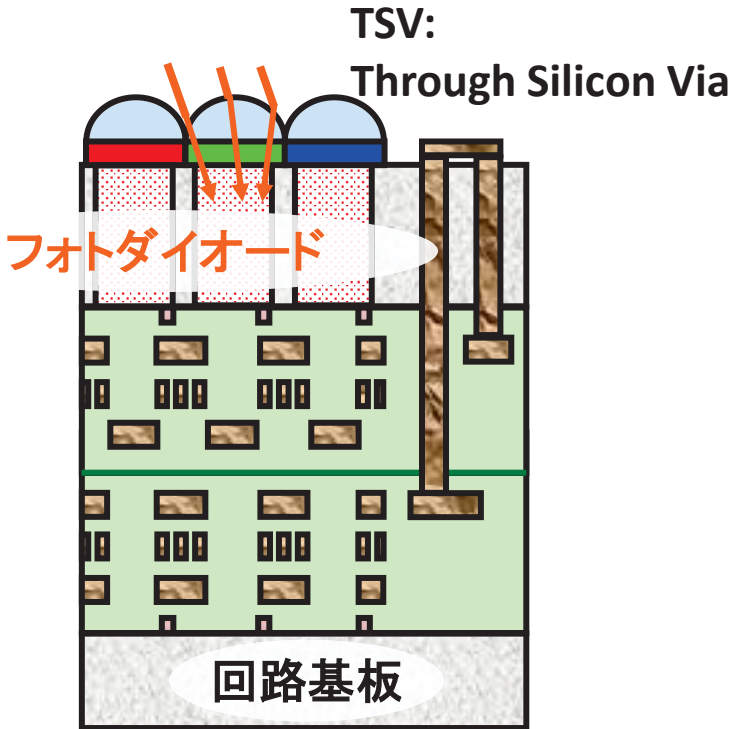
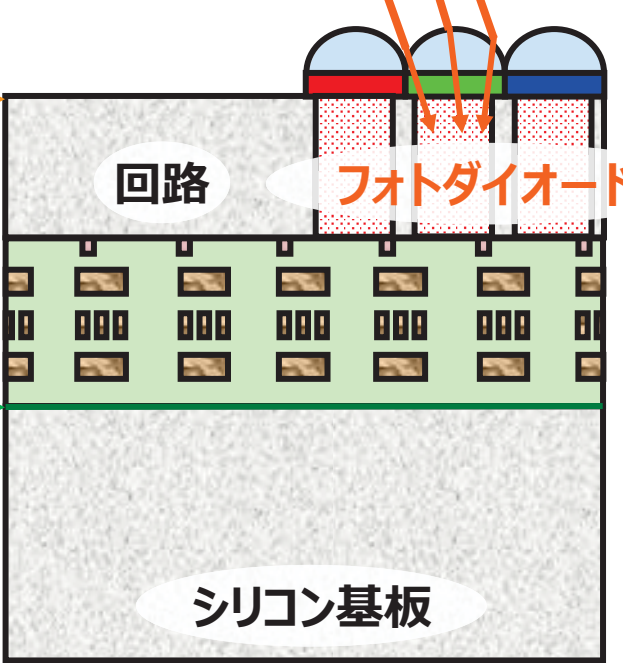
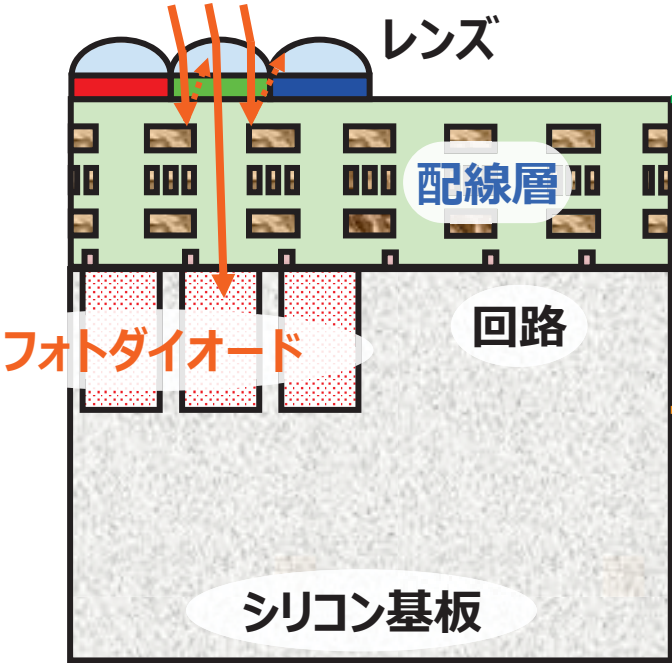
表面型



裏面型



積層型

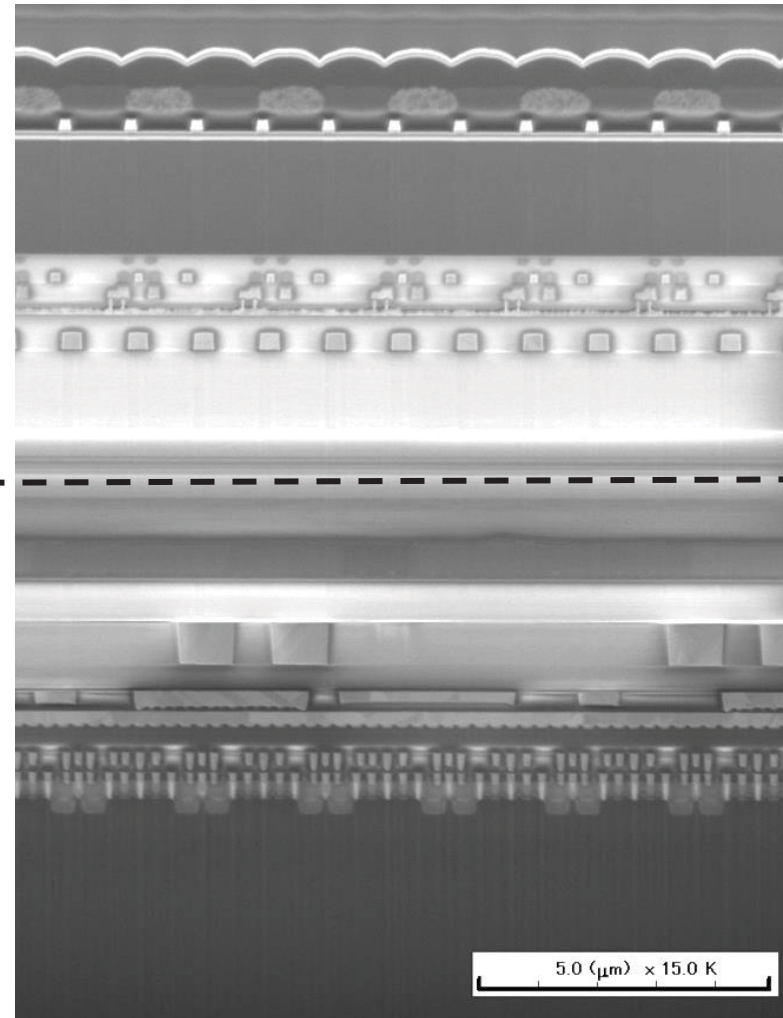


積層型CMOSイメージセンサ

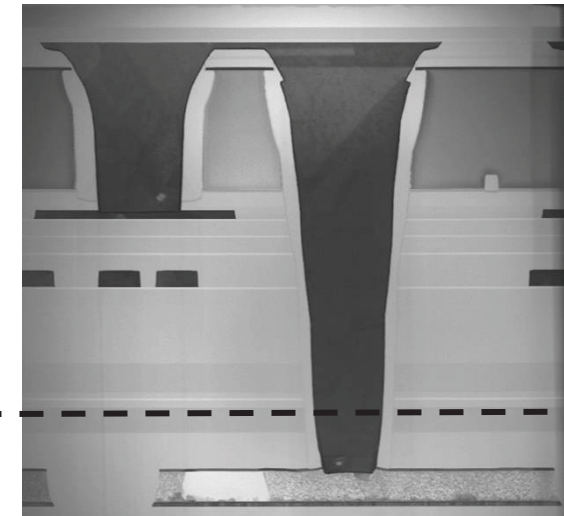
チップ外観



画素部断面



TSV部断面



積層型は何が良いのか？

1. チップサイズの縮小化

- ウェーハからの収率増。投資効率の改善

2. 下部シリコン基板の有効利用

- 多機能にできる回路領域の確保

3. プロセスの最適化

- 画素と回路それぞれに最適なプロセス選択

チップサイズの縮小化

[1/4型センサ]

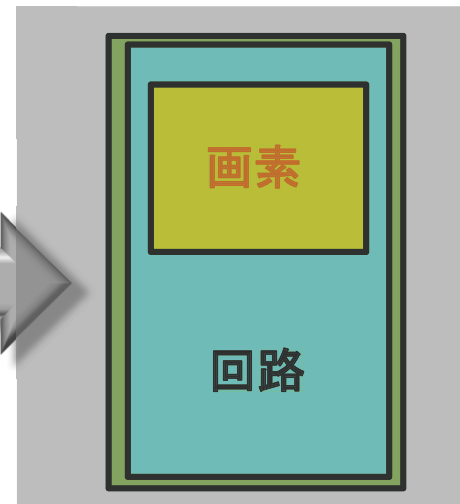
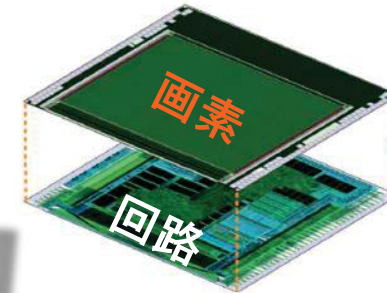
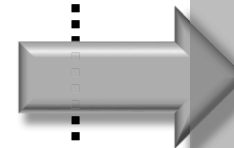
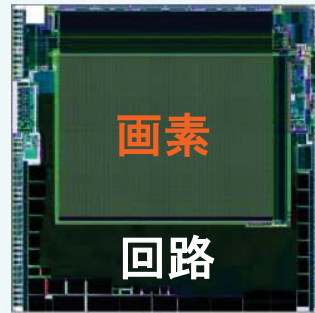
1.4um 5Mセンサ
SoC内臓

1.12um 8Mセンサ
SoC内臓

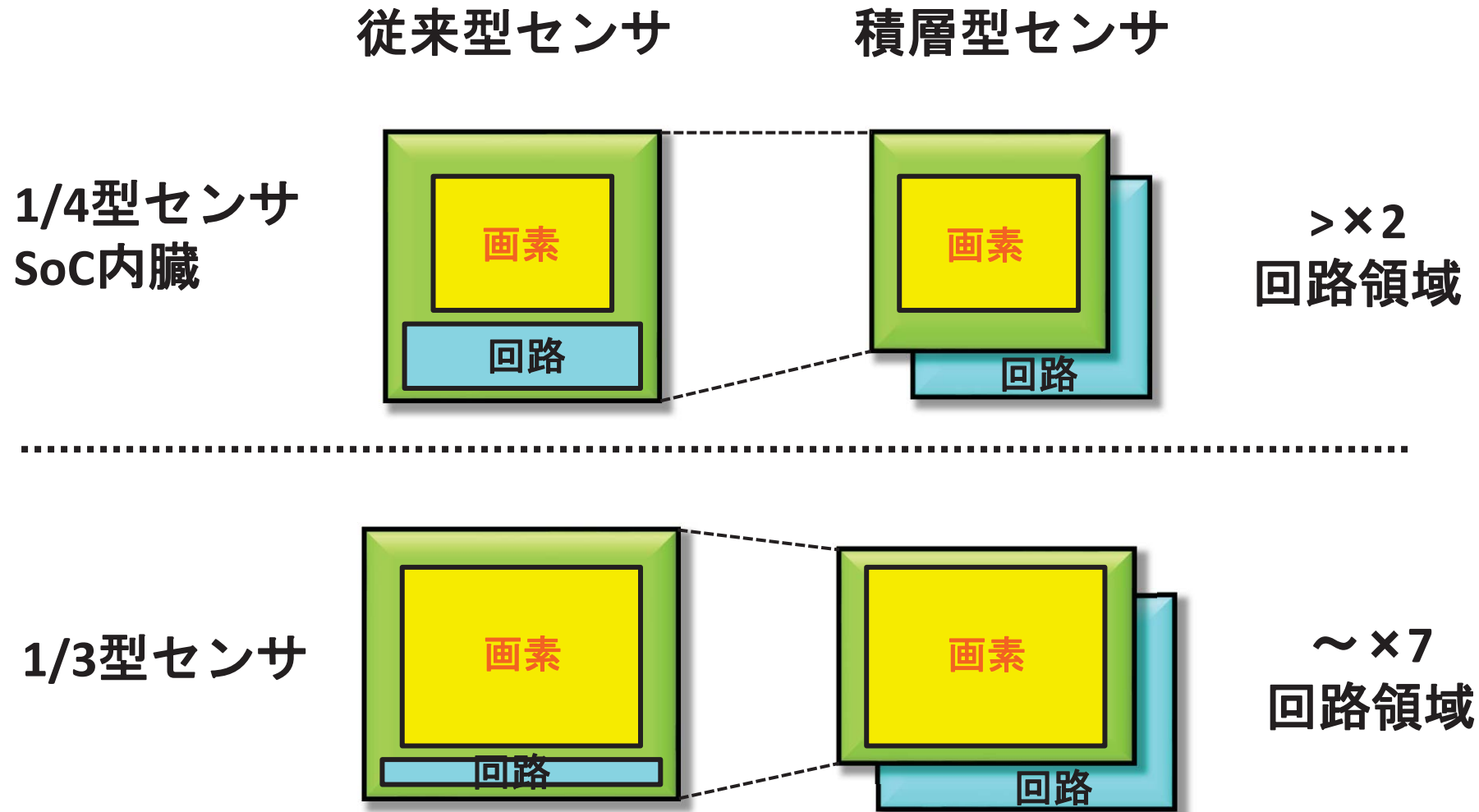
積層型

従来型

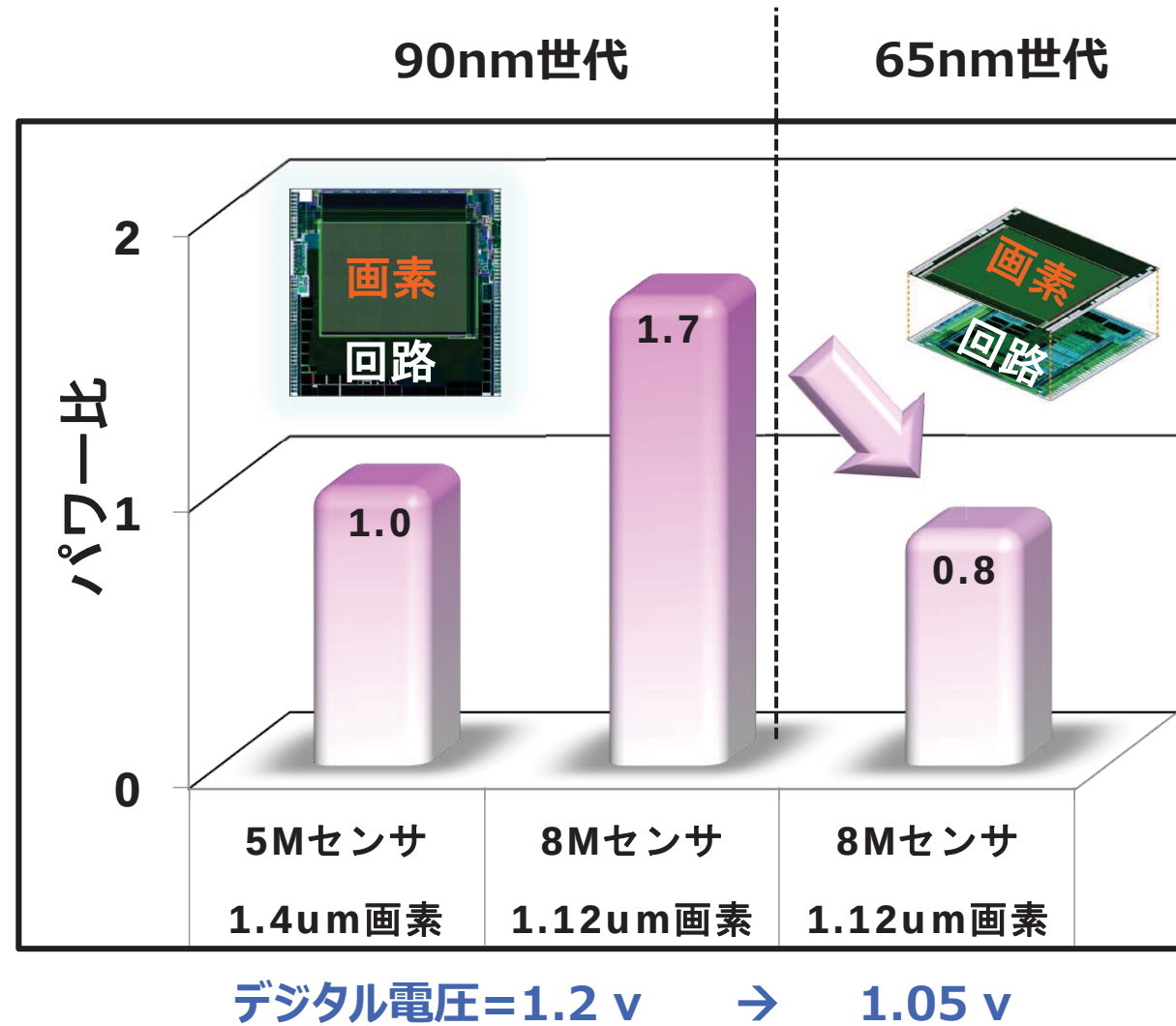
進化



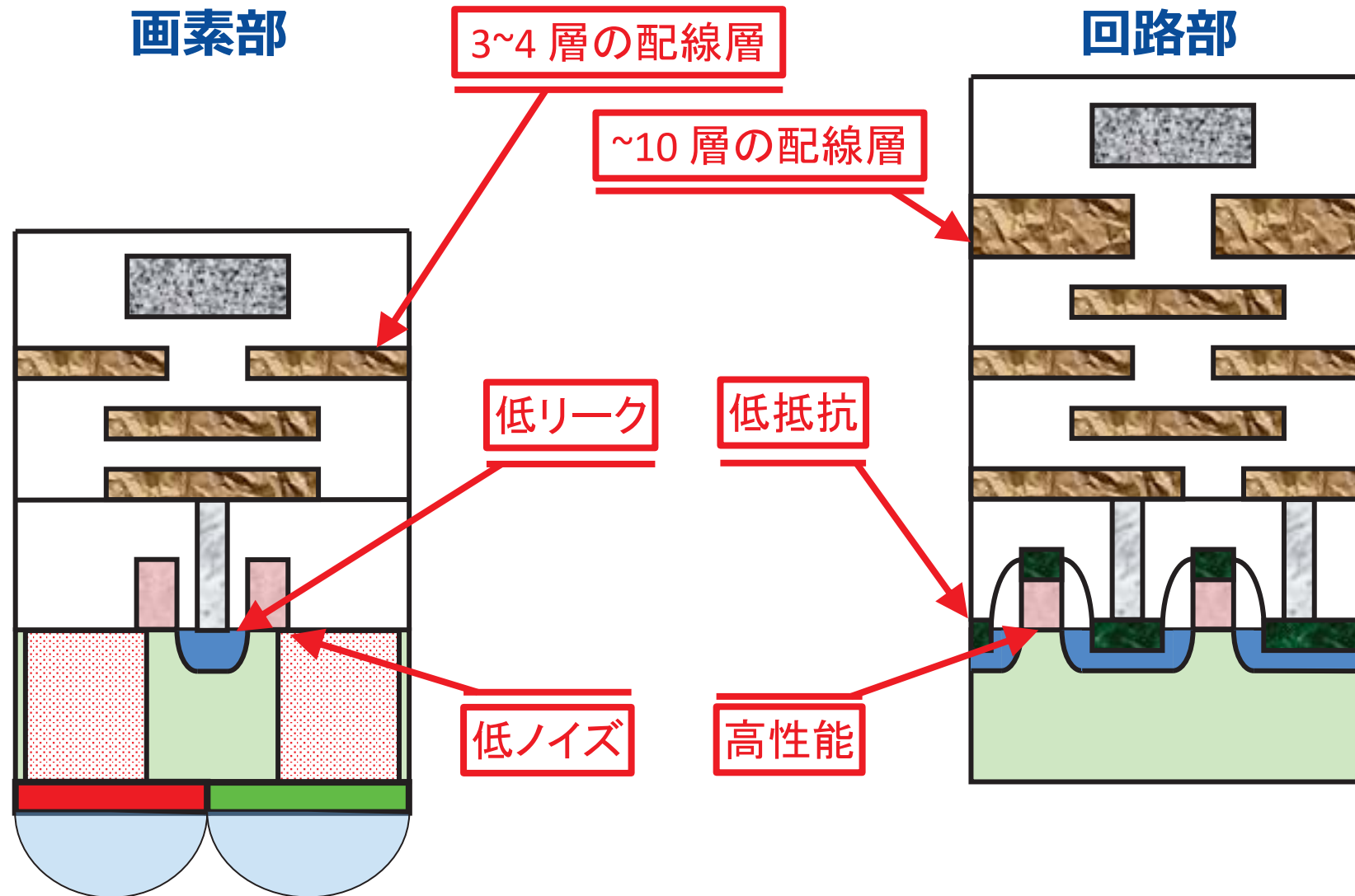
下部シリコン基板の有効利用



プロセスの最適化



なぜ積層型を開発しようと思ったのか？

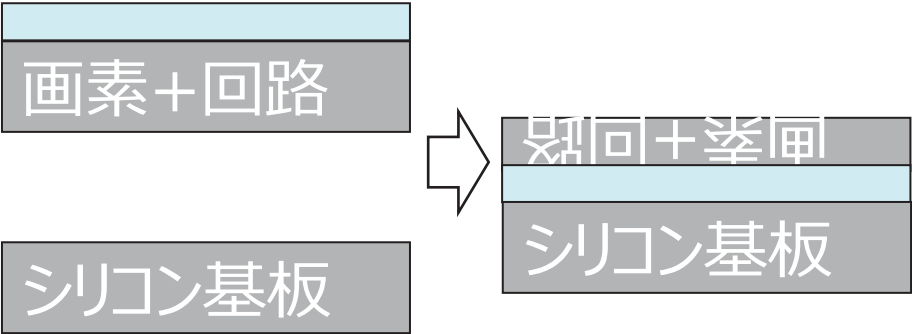


感度の良い裏面型を携帯電話向けに、、、

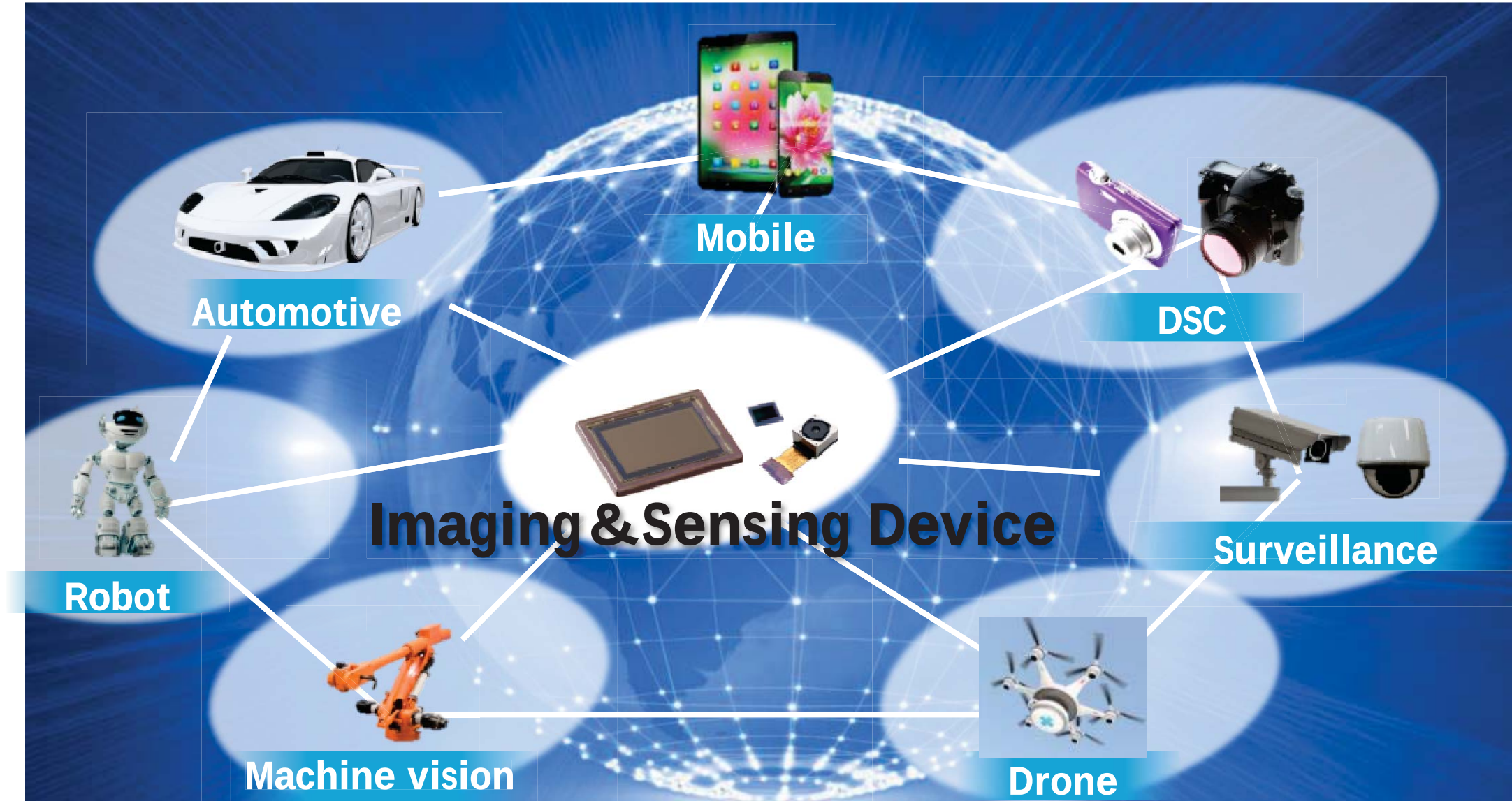
表面型CMOSイメージセンサ



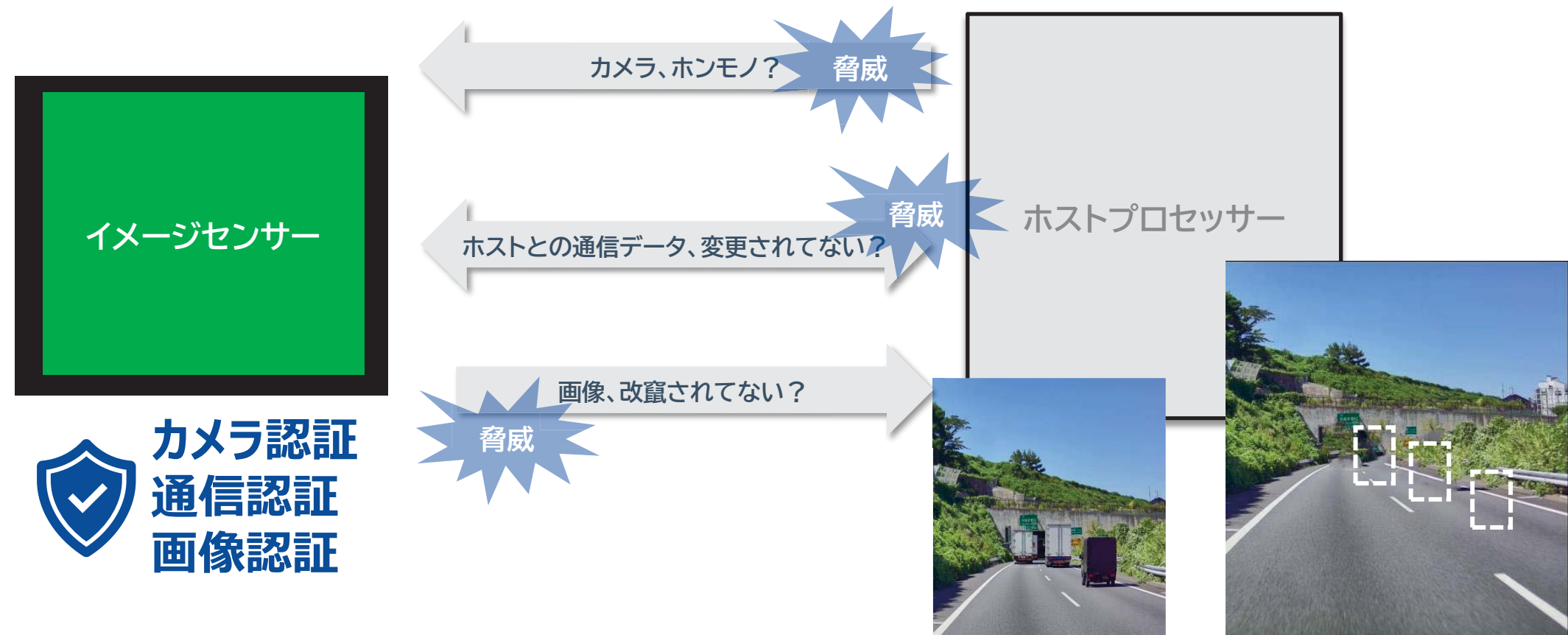
裏面型CMOSイメージセンサ



CMOSイメージセンサの用途

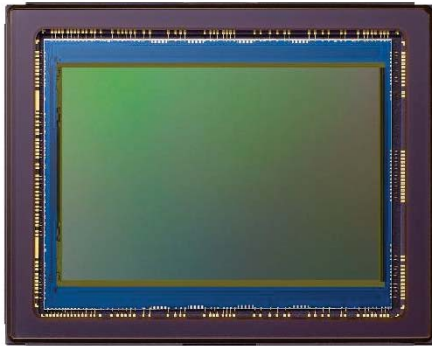


車載向けイメージセンサのセキュリティ



エッジAI処理とセンサーHWの融合

ソニー イメージセンサー

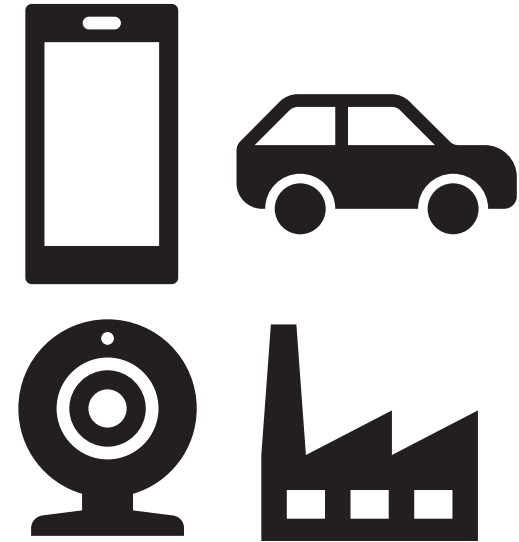


世界シェアNo.1※
データの出し方を熟知

AI



アプリケーション



エッジAI処理とセンサーHWの融合